

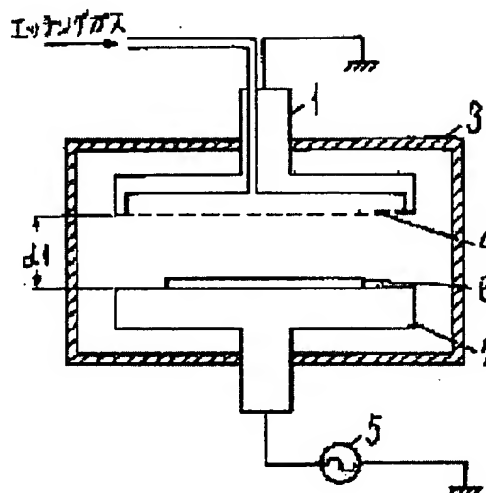
PLASMA PROCESSING METHOD

Patent number: JP6208972
Publication date: 1994-07-26
Inventor: OKUMURA TOMOHIRO; SUZUKI NAOKI; HOUCHIN RIYUUZOU
Applicant: MATSUSHITA ELECTRIC IND CO LTD
Classification:
- International: H01L21/28; H01L21/302; H01L21/304; H01L21/02; (IPC1-7): H01L21/302; H01L21/28; H01L21/304
- european:
Application number: JP19930003142 19930112
Priority number(s): JP19930003142 19930112

Report a data error here

Abstract of JP6208972

PURPOSE:To suppress abnormal discharge by adding the mixture gas containing CF₄ used as etching gas with the mixture gas containing at least one of SF₆, C₂F₆, or NF₃. **CONSTITUTION:**An upper part electrode 1 and a lower electrode 2 are, with a specified interval, assigned in parallel in a reaction chamber 3. Many gas introduction openings 4 are provided on the lower part electrode 2 side of the upper part electrode 1. The upper part electrode 1 is connected to a high frequency power source 5, and the lower part electrode 2 is earthed. Relating to etching gas, the mixture gas of CF₄ containing 10% of O₂ is added with SF₆ for suppressing abnormal discharge, then introduced from the gas introduction openings into the reaction chamber 3. The mixture gas of CF₄ and O₄, and SF₆ are flow-controlled by a mask controller. Further, the reaction gas for Si₂ film deposition is also introduced from the gas introduction openings into the reaction chamber 3.



Best Available Copy

Data supplied from the esp@cenet database - Worldwide

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平6-208972

(43) 公開日 平成6年(1994)7月26日

(51) Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 21/302	C	9277-4M		
	F	9277-4M		
21/28	A	7376-4M		
21/304	3 4 1 D	8832-4M		

審査請求 未請求 請求項の数 1 O L (全 5 頁)

(21) 出願番号 特願平5-3142

(22) 出願日 平成5年(1993)1月12日

(71) 出願人 000005821

松下電器産業株式会社
大阪府門真市大字門真1006番地

(72) 発明者 奥村 智洋

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(72) 発明者 鈴木 直樹

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(72) 発明者 宝珍 隆三

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

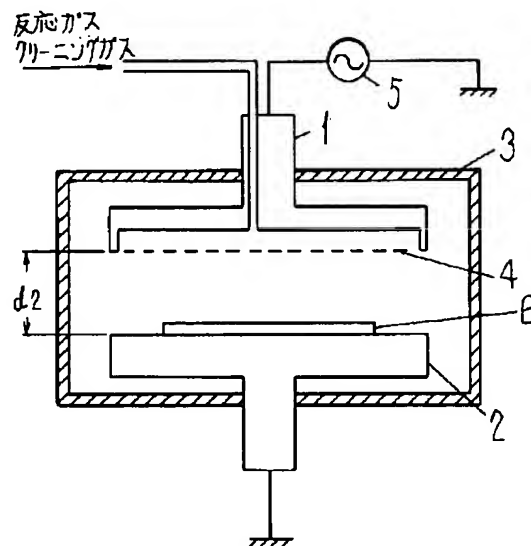
(74) 代理人 弁理士 小鍛冶 明 (外2名)

(54) 【発明の名称】 プラズマ処理方法

(57) 【要約】

【目的】 プラズマエッチング方法及びプラズマクリーニング方法において、特に相対向する電極間距離が小さい場合、 CF_4 を含む混合ガスを用いてガスプラズマを発生させるときに生じやすい異常放電を抑制する。

【構成】 エッチングガス（クリーニングガス）として用いる CF_4 を含む混合ガスに、 SF_6 、 C_2F_6 、 NF_3 のうち少なくともひとつを含む混合ガスを添加することにより、ガスプラズマを発生させるときに生じやすい異常放電を抑制することができる。



1

【特許請求の範囲】

【請求項1】 真空容器内に2つの電極を有し、前記2つの電極間の距離が、前記2つの電極のうち直径（電極形状が円形でない場合は電極の対角線の長さ）が小さい方の電極の直径（電極形状が円形でない場合は電極の対角線の長さ）の $1/15$ 以下であるプラズマ処理装置において、前記真空容器内に CF_4 を含む混合ガスを導入し、前記2つの電極間に高周波電力を印加してガスプラズマを発生させるプラズマ処理方法であって、前記 CF_4 を含む混合ガスに、 SF_6 、 C_2F_6 、 NF_3 のうち少なくともひとつを含む混合ガスを添加することを特徴とするプラズマ処理方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 この発明は、プラズマエッチング方法及びプラズマクリーニング方法に関し、特に相対向する電極間の距離が小さい場合、 CF_4 を含む混合ガスを用いてガスプラズマを発生させるときに生じやすい異常放電を抑制することができるものに関する。

【0002】

【従来の技術】 半導体集積回路の製造に用いられるプラズマエッチング装置の模式図を図1に示す。図1において、上部電極1と下部電極2は電極間距離 d を隔てて反応室3内に平行に設置される。半導体基板6は下部電極2上に置かれる。上部電極1の下部電極2側にはガス導入口4が設けられる。下部電極2は高周波電源5に接続されており、上部電極1は接地される。エッチングガスは、ガス導入口4から反応室3内に導入される。

【0003】 大型の液晶基板の製造に用いられるプラズマエッチング装置の構成も、基本的に図1と同様なものである。

【0004】 半導体集積回路や液晶基板の製造において、 SiO_2 あるいは Si_3N_4 等をエッチングする際、一般に CF_4 を含むガスがエッチングガスとして用いられている。 CF_4 に O_2 を混合すると、 CF_4 のみによるエッチングに比べて、エッチング速度が増大するため、 CF_4/O_2 添加したガスがエッチングガスとして使用されている。また、エッチングしようとしている絶縁膜と下地 Si とのエッチング選択比を向上させるため、 CHF_3 または H_2 を混合することも一般に行われている。

【0005】 電極間距離 d を、上部電極1と下部電極2のうち直径（電極形状が円形でない場合は電極の対角線の長さ）が小さい方の電極の直径（電極形状が円形でない場合は電極の対角線の長さ）の $1/15$ 以下となるようにすると、プラズマが電極間に閉じ込められるためプラズマ密度が上昇し、エッチング速度が増大する。この方法は、ナローギャップRIE法として実用化されている。ナローギャップRIE法においても、エッチングガスとしては CF_4 を含む混合ガスが用いられる。

【0006】 CF_4 を含む混合ガスを用いたプラズマ処

2

理として実用化されているものには、以上に述べたプラズマエッチング方法の他に、プラズマCVD方法による膜堆積の工程終了後に行うプラズマクリーニング方法がある。

【0007】 とくにAI配線の形成後の工程において SiO_2 や Si_3N_4 を堆積する方法として、低温で膜形成が可能なプラズマCVD方法が広く用いられている。半導体積層回路の製造に用いられるプラズマCVD装置の模式図を図2に示す。図2において、上部電極1と下部電極2は電極間距離 d_2 を隔てて反応室3内に平行に配置される。半導体基板6は下部電極2上に置かれる。上部電極1の下部電極2側にはガス導入口4が設けられる。上部電極1は高周波電源5に接続されており、下部電極2は接地される。反応ガスは、ガス導入口4から反応室3内に導入する。

【0008】 液晶基板の製造に用いられるプラズマCVD装置の構成も、枚葉式に関しては基本的に図2と同様なものである。パッチ式については、図3に示すようなトレーに基板を固定して成膜を行うトレー式が採用されている。図3において、電極1とトレー2は電極間距離 d_3 を隔てて反応室3内に平行に配置される。また、処理能力を高めるために、一対の電極1とトレー7はヒーター8の両側に2組設けられるのが一般的である。液晶基板6はトレー7に固定される。電極1のトレー7側にはガス導入口が設けられる。電極1は高周波電源5に接続されており、トレー7は接地され第2の電極（アース電極）としての機能を持つ。反応ガスは、ガス導入口4から反応室3内に導入する。

【0009】 プラズマCVD方法において、電極間距離を、上部電極1（トレー式の場合電極1）と下部電極2（トレー式の場合トレー7）のうち直径（電極形状が円形でない場合は電極の対角線の長さ）が小さい方の電極の直径（電極形状が円形でない場合は電極の対角線の長さ）の $1/15$ 以下となるようにすると、堆積速度が著しく増大する。この方法も、ナローギャッププラズマCVD法として実用化されている。

【0010】 プラズマCVD方法によって基板上に絶縁膜を堆積すると、上部・下部の各電極（トレー式の場合電極とトレー）及び反応室内壁に絶縁物が堆積する。この堆積物は反応中あるいは基板搬送中にはがれを起こし、ダストとなる。さらに、一般に上部電極（トレー式の場合電極）に設けられているガス導入口（通常は内径 $0.4 \sim 1.0$ mm程度の穴）に堆積物がつまると、堆積速度の基板面内均一性が悪化する。

【0011】 このため、プラズマCVD方法による膜堆積の工程終了後、基板を反応室の外へ出したのちに、エッチングガスを反応室に導入しプラズマを発生させることにより、反応室内壁及び電極に堆積した絶縁物を取り除くことを目的としてプラズマクリーニングが行われている。（トレー式の場合はトレーはオフラインでクリー

3

ニングする。)このプラズマクリーニング方法においても、プラズマエッチング方法と同様、エッチングガスとして一般に CF_4 を含む混合ガスが用いられる。

【0012】

【発明が解決しようとする課題】以上に述べたことから明らかなように、プラズマエッチング方法としてプラズマクリーニング方法は、ともに絶縁膜を取り除くという点において共通性をもつ技術である。エッチングガス、クリーニングガスとしては一般に CF_4 を含む混合ガスが用いられ、また、プラズマエッチング方法におけるエッチング速度の増大、あるいはプラズマCVD方法における堆積速度の著しい増大を図るため、ともに電極間距離を小さくするナローギャップ化が行われている。

【0013】しかしながら、 CF_4 を含む混合ガスを用いた場合、電極間距離を上部電極(トレー式プラズマCVD装置の場合電極)と下部電極(トレー式プラズマCVD装置の場合トレー)のうち直径(電極形状が円形でない場合は電極の対角線の長さ)が小さい方の電極の直径(電極形状が円形でない場合は電極の対角線の長さ)の $1/15$ 以下となるようにすると、プラズマが不安定となることがある。とくに反応室内の圧力を下げて、高周波電力を大きくしたときに異常放電が発生しやすくなる。異常放電とは、プラズマ密度が異常に高い部分が局部的に生じる現象で、エッチングあるいはクリーニングの面内均一性の低下はもちろん、電極および基板の損傷をも引き起こす。異常放電が起こるときは、エッチング速度あるいはクリーニング速度を犠牲にして高周波電力を小さくせざるを得ない。本発明は、このような従来方法の問題点に鑑み、プラズマエッチング方法及びプラズマクリーニング方法に関し、とくに相対する電極間距離が小さい場合、 CF_4 を含む混合ガスを用いてガスプラズマを発生させるときに生じやすい異常放電を抑制することを目的とするものである。

【0014】

【課題を解決するための手段】本発明では、エッチングガス(クリーニングガス)として用いる CF_4 を含む混合ガスに、 SF_6 、 C_2F_6 、 NF_3 のうち少なくともひとつを含む混合ガスを添加する。

【0015】

【作用】本発明によれば、エッチングガス(クリーニングガス)として用いる CF_4 を含む混合ガスに SF_6 、 C_2F_6 、 NF_3 のうち少なくともひとつを含む混合ガスを添加することにより、プラズマの安定化が図れ、その結果電極間距離が小さい場合に生じやすい異常放電を抑制することができる。

【0016】

【実施例】以下、多層配線構造をもつ反動体集積回路の製造工程における、層間 SiO_2 膜堆積に利用されるプラズマCVD方法による膜堆積工程終了後のクリーニング工程を例にとって説明する。なお、実験に用いた装置

4

は、6インチ半導体基板用プラズマCVD装置である。

【0017】図2において、直径が150mmの上部電極1と同じく直径が150mmの下部電極2が距離5mmを隔てて反応室3内に平行に配置されている。上部電極1の下部電極2側には穴径0.5mmガス導入口4が多数(約3000個)設けられている。上部電極1は高周波電源5に接続されており、下部電極2は接地される。エッチングガス(クリーニングガス)は、 CF_4 に O_2 を10%含んだ混合ガスに、異常放電抑制のための SF_6 を添加した後、ガス導入口4から反応室3内に導入する。 CF_4 と O_2 の混合ガス及び SF_6 は、マスフローコントローラ(図示していない)によって流量制御が可能となっている。また、 SiO_2 膜堆積のための反応ガスも、エッチングガス(クリーニングガス)と同様、ガス導入口4から反応室3内に導入する。

【0018】図4は、 SiO_2 膜を通常の堆積条件で半導体基板上に2 μm 堆積した後、基板を反応室の外へ出したのちに、反応室内の圧力を500mmTorr、エッチングガス(クリーニングガス)の総流量を60sccm(一定)とし、 SF_6 の添加量(流量比)を0~20%と変化させて、異常放電が起きず正常な放電が可能となる最大の高周波電力を求めたものである。

【0019】図4からわかるように、 SF_6 添加量が0%のときは、正常放電する条件は存在しない。 SF_6 添加量を増加するに従って、正常放電可能な最大の高周波電力が大きくなっている。 SF_6 添加量が20%となると、1000W放電が可能となる。さらに SF_6 添加量を大きくすると、正常放電可能な最大の高周波電力はさらに大きくなる。

【0020】本実施例では半導体集積回路の製造に利用されるプラズマCVD方法による膜堆積工程終了後のクリーニング工程について説明したが、本発明は、液晶基板の製造に用いられるプラズマCVD装置等、他のプラズマCVD装置におけるクリーニング方法、あるいは半導体集積回路、液晶基板等の製造に利用されるプラズマエッチング方法にも適用可能である。

【0021】また、本実施例では CF_4 を含む混合ガスとして CF_4 に O_2 を10%含んだものを用いているが、 O_2 の混合比はもちろん10%に限定されるものではない。あるいは、 CF_4 を含む混合ガスには O_2 以外の成分、例えば CHF_3 や H_2 が含まれていてもよい。

【0022】また、本実施例では電極間距離が5mmである場合について説明したが、本発明は、電極間距離を2つの電極のうち直径(電極形状が円形でない場合は電極の対角線の長さ)が小さい方の電極の直径(電極形状が円形でない場合は電極の対角線の長さ)の $1/15$ 以下となるようにした場合のあらゆるプラズマ処理方法に適用可能である。

【0023】また、本実施例では CF_4 を含む混合ガスに添加する異常放電抑制のためのガスとして SF_6 を用

5

いたものについて説明したが、添加ガスは SF_6 に限定されるものではなく SF_6 、 C_2F_6 、 NF_3 のうち少なくともひとつを含む混合ガスを添加しても同様の効果が得られる。

【0024】

【発明の効果】以上に説明したように、本発明によれば、プラズマCVD装置において、クリーニングガス（エッチングガス）として用いる CF_4 を含む混合ガスに、 SF_6 、 C_2F_6 、 NF_3 のうち少なくともひとつを含む混合ガスを添加することによって、異常放電を発生させることなくクリーニングが行えるようになる。

【0025】プラズマエッチング方法においても全く同様に、エッチングガスとして用いる CF_4 を含む混合ガスに、 SF_6 、 C_2F_6 、 NF_3 のうち少なくともひとつを含む混合ガスを添加することによって、異常放電の発生

を抑制することができる。

【図面の簡単な説明】

【図1】プラズマエッチング装置の構成図

【図2】本発明の一実施例におけるプラズマCVD装置の構成図

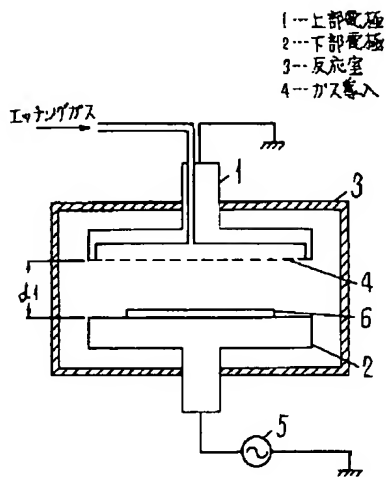
【図3】従来のCVD装置の構成図

【図4】正常な放電が可能となる最大の高周波電力と SF_6 添加量との関係を示す特性図

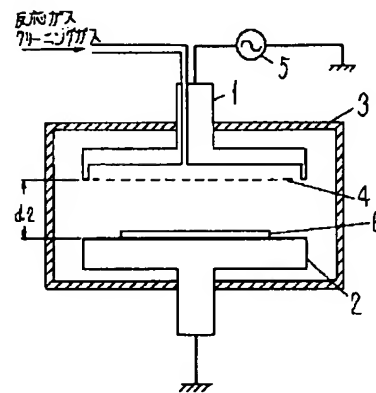
【符号の説明】

- 10 1 上部電極
2 下部電極
3 反応室
4 ガス導入口
5 高周波電源

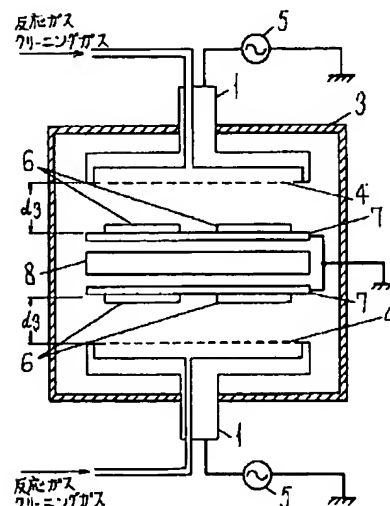
【図1】



【図2】



【図3】



(5)

特開平6-208972

【図4】

